

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0057462  
Application Number PATENT-2002-0057462

출원년월일 : 2002년 09월 19일  
Date of Application SEP 19, 2002

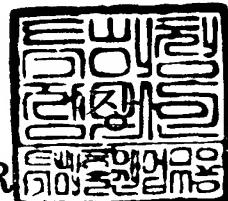
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 18 일

특허청

COMMISSIONER



## 【서지사항】

|            |   |
|------------|---|
| 【서류명】      | 특허출원서   |
| 【권리구분】     | 특허  |
| 【수신처】      | 특허청장  |
| 【참조번호】     | 0028  |
| 【제출일자】     | 2002.09.19  |
| 【국제특허분류】   | H01L  |
| 【발명의 명칭】   | 미세 선폭을 갖는 반도체 소자의 전극 배선 구조 및 그 형성방법   |
| 【발명의 영문명칭】 | Electrode line structure having fine line width in semiconductor device and method for forming the same |
| 【출원인】      |   |
| 【명칭】       | 삼성전자 주식회사   |
| 【출원인코드】    | 1-1998-104271-3   |
| 【대리인】      |   |
| 【성명】       | 이영필   |
| 【대리인코드】    | 9-1998-000334-6   |
| 【포괄위임등록번호】 | 1999-009556-9   |
| 【대리인】      |   |
| 【성명】       | 정상빈   |
| 【대리인코드】    | 9-1998-000541-1   |
| 【포괄위임등록번호】 | 1999-009617-5   |
| 【발명자】      |   |
| 【성명의 국문표기】 | 이주원   |
| 【성명의 영문표기】 | LEE, Joo Won  |
| 【주민등록번호】   | 681020-1110417  |
| 【우편번호】     | 442-470   |
| 【주소】       | 경기도 수원시 팔달구 영통동 황골마을벽산아파트 222-401   |
| 【국적】       | KR  |
| 【발명자】      |   |
| 【성명의 국문표기】 | 추강수   |
| 【성명의 영문표기】 | CHU, Kang Soo   |
| 【주민등록번호】   | 670530-1691011  |
| 【우편번호】     | 442-470   |

|            |   |   |           |
|------------|---|---|-----------|
| 【주소】       | 경기도 수원시 팔달구 영통동 신나무실 쌍용아파트<br>544-1805  |   |           |
| 【국적】       | KR  |   |           |
| 【발명자】      |   |   |           |
| 【성명의 국문표기】 | 박재언   |   |           |
| 【성명의 영문표기】 | PARK, Jae Eun   |   |           |
| 【주민등록번호】   | 740201-1912024  |   |           |
| 【우편번호】     | 449-901   |   |           |
| 【주소】       | 경기도 용인시 기흥읍 고매리 동성아파트 102-103   |   |           |
| 【국적】       | KR  |   |           |
| 【발명자】      |   |   |           |
| 【성명의 국문표기】 | 양종호   |   |           |
| 【성명의 영문표기】 | YANG, Jong Ho   |   |           |
| 【주민등록번호】   | 740305-1018711  |   |           |
| 【우편번호】     | 135-110   |   |           |
| 【주소】       | 서울특별시 강남구 압구정동 528 한양아파트 72-1012  |   |           |
| 【국적】       | KR  |   |           |
| 【심사청구】     | 청구  |   |           |
| 【취지】       | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정<br>에 의한 출원심사 를 청구합니다. 대리인<br>이영필 (인) 대리인<br>정상빈 (인) |   |           |
| 【수수료】      |   |   |           |
| 【기본출원료】    | 19  | 면 | 29,000 원  |
| 【가산출원료】    | 0   | 면 | 0 원       |
| 【우선권주장료】   | 0   | 건 | 0 원       |
| 【심사청구료】    | 19  | 항 | 717,000 원 |
| 【합계】       | 746,000 원   |   |           |
| 【첨부서류】     | 1. 요약서·명세서(도면)_1통   |   |           |

**【요약서】****【요약】**

전극 배선의 유실을 방지할 수 있는 반도체 소자의 전극 배선 구조 및 그 형성방법을 개시한다. 개시된 본 발명의 반도체 소자의 전극 배선 구조는, 반도체 기판에 형성되는 장축 방향의 단면이 경사진 전극 배선을 포함하며, 상기 전극 배선은 실질적으로 전극 배선의 역할을 하는 제 1 배선부와, 제 1 배선부와 소정 거리 이격되며 장축 방향의 경사진 단면을 포함하는 제 2 배선부를 분할하는 절연 플러그를 구비한다.

**【대표도】**

도 4

**【색인어】**

절연 플러그, 경사진 측벽, 전극 배선

**【명세서】****【발명의 명칭】**

미세 선폭을 갖는 반도체 소자의 전극 배선 구조 및 그 형성방법{Electrode line structure having fine line width in semiconductor device and method for forming the same}

**【도면의 간단한 설명】**

도 1a 내지 도 1c는 종래의 반도체 소자의 전극 배선 구조를 설명하기 위한 도면들이다.

도 2는 종래의 게이트 라인의 SEM(scanning electron microscope) 사진이다.

도 3은 종래의 반도체 메모리 소자의 평면 사진이다.

도 4는 본 발명에 따른 반도체 소자의 전극 배선 구조를 나타낸 단면도이다.

도 5a 내지 도 5c는 본 발명에 따른 반도체 소자의 전극 배선 구조의 제조방법을 설명하기 위한 각 공정별 단면도이다.

(도면의 주요 부분에 대한 부호의 설명)

100: 반도체 기판

120 : 전극 배선

125 : 스페이서용 절연막

126 : 스페이서

127 : 절연 플러그

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 소자 및 그 형성방법에 관한 것으로, 보다 구체적으로는 미세 선 폭을 갖는 전극 배선 구조 및 그 형성방법에 관한 것이다.

<11> 반도체 소자의 집적도가 증가됨에 따라, 미세 선폭을 갖는 미세 패턴 또는 전극 배선이 요구되고 있다. 특히, 워드 라인과 비트 라인과 같은 전극 배선은 디램(DRAM) 소자에 있어서 대표적인 배선들로서, 그들의 선폭이 고집적화의 척도가 되고 있다.

<12> 일반적으로 상기한 워드 라인 및 비트 라인과 같은 전극 배선들은 도전층을, 높은 해상도를 갖는 노광 장비를 이용한 포토리소그라피 공정에 의하여 패터닝하므로써 형성된다.

<13> 그러나, 반도체 소자의 집적도가 기하급수적으로 증가됨으로 인하여, 워드 라인 및 비트 라인은 노광 한계치 이하의 선폭을 요구하게 되고, 이로 인하여 다음과 같은 문제점이 발생된다.

<14> 즉, 도 1a 내지 도 1c를 통하여 보다 상세히 설명하면, 먼저, 도 1a에 도시된 바와 같이, 예를들어 워드 라인을 형성하기 위하여, 반도체 기판(10) 상부에 워드 라인용 도전층(12) 및 하드 마스크막(14)을 증착한다. 그후에, 공지의 포토리소그라피 공정에 의하여 워드 라인 한정용 포토레지스트 패턴(16)을 형성한다. 이때, 워드 라인의 예정 선폭은 노광 한계치 내지는 그 이하로서, 현재에는 약  $0.1\mu\text{m}$  정도이다. 그러나, 이렇게 노광 한계치 이하의 미세한 선폭을 갖는 포토레지스트 패턴(16)을 미세한 간격을 가지고

배치하게 되면, 노광시 근접 효과(proximity effect) 및 광간섭등의 문제로 상부 모서리 부분이 라운딩(rounding)되고 측벽면이 경사진 형태의 포토레지스트 패턴(16)이 형성된다.

<15> 이러한 포토레지스트 패턴(16)을 이용하여 하부의 하드 마스크막(14) 및 워드 라인 용 도전층(12)을 패터닝하여, 워드 라인(20)을 형성한다. 이렇게 형성된 워드 라인(20)은 상기한 포토레지스트 패턴(16)의 형태대로 형성되므로써, 상부 모서리는 라운딩되고 측단면은 모두 경사진 형상을 갖는다.

<16> 이러한 현상은 비단 채널의 길이 방향(단축 방향)의 측벽 뿐만 아니라 채널의 폭 방향(장축 방향)의 측벽 부분에서도 동일하게 나타난다(도 1c 참조). 그후, 포토레지스트 패턴(16)을 공지의 방식으로 제거한다음, 자기 정렬 콘택 방식으로 이후 공정을 진행 하기 위하여, 결과물 상부에 스페이서용 절연막(도시되지 않음)을 증착한다. 그후에, 스페이서용 절연막을 비등방성 블랭킷 식각하여, 스페이서(22)를 형성한다. 이때, 스페이서(22)를 형성하기 위한 식각 공정시, 워드 라인(20)의 측벽면이 경사져있으므로, 경사진 측벽에 존재하는 스페이서용 절연막이 비등방성으로 진행하는 식각 가스에 다량 노출되어 버린다. 그러므로, 도 1c에 도시된 바와 같이, 워드 라인(20) 측벽의 일부분에 박막의 스페이서(22)만이 존재하든지, 심할 경우는 경사 측벽면의 상부 부분에 스페이서(22)가 유실될 수 있다.

<17> 이로 인하여, 워드 라인(20)이 일부 드러나게 되고, 특히 워드 라인(20)이 SC1(standard chemical1)과 같은 습식 식각 케미컬에 취약한 물질, 예를들어 텅스텐 포함 물질로 형성되는 경우, 후속의 습식 식각 공정시 워드 라인(20)이 다량 유실되는 문

제점을 초래한다. 이와같이 워드 라인(20)의 유실로 인하여 반도체 소자에 라인 디펙트 (line defect)가 발생된다.

<18>      도 2는 종래의 워드 라인의 SEM(scanning electron microscope) 사진이고, 도 3은 종래의 반도체 메모리 소자의 평면 사진이다.

<19>      먼저, 도 2에 의하면, 미세한 선폭 및 미세한 간격을 가지는 포토레지스트 패턴을 이용하여 워드 라인(20)을 형성하는 경우, 워드 라인(20)의 측벽이 경사진 형태로 배치 됨을 보여준다. 도 2의 "A"는 경사진 측벽을 지시한다.

<20>      한편, 도 3은 스페이서(22)의 일부 유실되고, 후속의 습식 식각을 진행하였을 때, 워드 라인(20)이 일부 제거됨을 보여준다. 도 3에서 일부 라인 형태의 디펙트(B)는 워드 라인(20)이 제거된 부분이다.

#### 【발명이 이루고자 하는 기술적 과제】

<21>      따라서, 본 발명이 이루고자 하는 기술적 과제는, 반도체 소자의 전극 배선의 유실 을 방지할 수 있는 전극 배선 구조를 제공하는 것이다.

<22>      또한, 본 발명이 이루고자 하는 다른 기술적 과제는 상기한 전극 배선 구조의 형성 방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<23>      상기한 본 발명의 기술적 과제를 달성하기 위하여, 본 발명은 반도체 기판; 및 상 기 반도체 기판에 형성되는 장축 방향의 단면이 경사진 전극 배선을 포함하며, 상기 전 극 배선은, 실질적으로 전극 배선의 역할을 하는 제 1 배선부와, 제 1 배선부와 소정 거 리 이격되며 장축 방향의 경사진 단면을 포함하는 제 2 배선부, 및 상기 제 1 및 제 2

배선부 사이에 개재되며 제 1 및 제 2 배선부를 전기적으로 절연시키는 절연 플러그를 구비한다.

<24>       이때, 전극 배선은 일반적으로 정하여진 전극 배선 길이보다 일정 길이만큼 길게 형성되고, 상기 절연 플러그는, 상기 제 1 배선부가 일반적으로 정하여진 배선 길이를 가질 수 있도록, 상기 전극 배선의 소정 위치에 형성될 수 있다. 아울러, 상기 제 2 배선부는 배선의 피치 사이즈보다는 크고, 일반적으로 정하여진 배선 길이보다는 작은 길이를 갖는다.

<25>       또한, 상기 제 1 및 제 2 배선부는 도전층 및 하드 마스크막을 포함할 수 있고, 이 때 도전층은 텅스텐 포함 물질일 수 있다. 상기 하드 마스크막은 실리콘 질화막 또는 실리콘 질산화막일 수 있다. 아울러, 상기 제 2 배선부의 장축 방향의 단면에는 스페이서 가 더 형성될 수 있고, 상기 절연 플러그는 상기 스페이서 구성 물질로 형성될 수 있다. 또한, 상기 전극 배선은 워드 라인 또는 비트 라인일 수 일 수 있고, 상기 절연 플러그의 길이는 상기 전극 배선의 선폭과 동일함이 바람직하다.

<26>       또한, 본 발명의 다른 견지에 따르면, 반도체 기판상에 도전층을 증착하고, 상기 도전층 상부에 하드 마스크막을 증착한다. 그후, 상기 하드 마스크막 및 도전층을 패터닝하여 전극 배선을 형성하고, 상기 전극 배선의 소정 부분에 상기 전극 배선을 절단하는 라인 형태의 홀을 형성하여, 제 1 배선부 및 제 2 배선부를 한정한다. 그후, 상기 라인 홀이 매립되도록 스페이서용 절연막을 증착하고, 상기 스페이서용 절연막을 비등방성 블랭킷 식각하여, 스페이서를 형성한다.

<27> 본 발명의 목적과 더불어 그의 다른 목적 및 신규한 특징은, 본 명세서의 기재 및 첨부 도면에 의하여 명료해질 것이다. 본원에서 개시된 발명 중, 대표적 특징의 개요를 간단하게 설명하면 다음과 같다.

<28> 이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다라고 기재되는 경우에, 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제 3의 층이 개재되어질 수 있다.

<29> (실시예 1)

<30> 도 4는 본 발명에 따른 반도체 소자의 전극 배선 구조를 나타낸 단면도이다. 이때, 도 4는 전극 배선의 장축 방향과 평행한 방향으로 절단하여 나타낸 단면도이다.

<31> 도 4를 참조하면, 반도체 기판(100) 상부에 전극 배선(130)이 형성된다. 이때, 반도체 기판(100)은 베어(bare) 실리콘 기판일 수 있고, 또는 절연막이 형성되어 있을 수 있다. 또한, 전극 배선(130)은 워드 라인(워드 라인) 또는 비트 라인일 수 있다.

<32> 이러한 전극 배선(130)은 종래 기술에서도 설명된 바와 같이, 미세한 선폭을 가지면서 미세한 간격으로 배치됨에 따라, 전극 배선(130)의 측벽면이 경사진 형태를 갖게된

다. 이때, 본 실시예에서 전극 배선(130)의 장축 길이(X1), 예를들어 워드 라인인 경우는 채널 폭의 길이는 정하여진 길이(X2)보다 소정 길이만큼 길게 형성된다. 이러한 전극 배선(130) 내부에는 절연 플러그(127)가 형성된다. 절연 플러그(127)는 정하여진 배선의 장축 길이(X2)를 한정할 수 있는 위치에 형성되어, 전극 배선(130)을 실질적으로 배선 역할을 하는 제 1 배선부(120A)와 경사진 측벽 부분을 포함하는 제 2 배선부(120B)로 분할한다. 즉, 절연 플러그(127)의 길이는 전극 배선(130)의 단폭과 일치하여, 실질적으로 전극 배선(130)을 컷팅한다. 여기서, 제 2 배선부(120B)의 길이(X3)는 배선의 피치(pitch) 사이즈 이상, 정하여진 배선 길이(X2) 이하일 수 있다.

<33> 이러한 전극 배선(130)은 도전층(105)과 하드 마스크막(110)을 포함한다. 도전층(105)으로는 텅스텐 금속 또는 텅스텐 실리사이드막이 이용될 수 있으며, 하드 마스크막(110)으로는 실리콘 질화막이 이용될 수 있다.

<34> 이와같은 전극 배선(130)의 측벽면에 공지의 방식으로 스페이서(126)가 형성된다. 이때, 스페이서(126)는 상술한 바와 같이 전극 배선(130)의 측벽면 특히, 제 2 배선부(120B)의 측벽면이 경사진 형태를 가지므로 제 2 배선부(120B)의 측벽에 박막으로 형성되거나 일부 유실되어, 도전층(105)의 일부가 노출될 수 있다. 이에따라, 후속의 습식식각 공정시, 제 2 배선부(120B)는 노출된 도전층(105)을 통하여 습식 캐미컬의 공격을 받을 수 있으며, 이에 도전층(105)이 제거될 수 있다. 이때, 제 2 배선부(120B)는 제 1 배선부(120A)와 절연 플러그(127)를 사이에 두고 절연되어 있는 더미 패턴(dummy pattern)이므로, 제 2 배선부(120B)의 도전층(105)이 일부 또는 전체 제거된다고 하더라도, 실질적인 배선 역할을 하는 제 1 배선부(120A)에는 영향을 미치지 않는다. 한편, 제

1 배선부(120A)의 도전층(105)은 하드 마스크막(110)과 절연 플러그(127)에 의하여 둘러싸여져 있게되므로, 습식 식각 공정시 유실이 방지된다.

<35> 이와같이 본 발명의 전극 배선 구조는, 미세한 선폭으로 전극 배선을 형성할 때 그 측벽이 경사지는 것을 감안하여, 전극 배선의 길이를 일정 길이만큼 길게 연장시킨다. 그리고나서, 전극 배선내에 절연 플러그를 설치하여, 실질적인 전극 배선을 한정하고, 측벽을 갖는 가장자리 부분은 더미 패턴으로 작용하도록 한다.

<36> 이에따라, 전극 배선 측벽면의 도전층이 노출되어 습식 케미컬에 의해 유실되더라도, 실질적인 전극 배선의 역할을 하는 부분에는 영향을 미치지 않는다. 따라서, 배선의 라인 디펙트가 방지된다.

<37> (실시예 2)

<38> 도 5a 내지 도 5c는 본 발명에 따른 반도체 소자의 전극 배선 구조의 제조방법을 설명하기 위한 각 공정별 단면도이다. 본 실시예에서는 예를 들어 워드 라인 제조 방법에 대하여 설명하기로 한다.

<39> 도 5a를 참조하여, 반도체 기판(100) 상부에 워드 라인용 도전층(105)을 형성한다. 이때, 반도체 기판(100)과 도전층(105) 사이에는 게이트 절연막(도시되지 않음)이 형성되어 있으며, 도전층(105)으로는 예를 들어 텅스텐 금속막 또는 텅스텐 실리사이드막이 이용될 수 있다. 도전층(105) 상부에 하드 마스크막(110)을 증

착한다. 하드 마스크막(110)은 이후 자기 정렬 콘택 공정시 워드 라인을 전기적으로 보호시키기 위한 막으로서, 예를들어 실리콘 질화막 또는 실리콘 질산화막으로 형성한다. 그후에, 미세한 선폭 및 미세한 간격으로 배치된 워드 라인을 한정하기 위하여, 포토레지스트 패턴(115)을 공지의 포토리소그라피 공정으로 형성한다. 이때, 포토레지스트 패턴(115)은 포토리소그라피 공정중 근접 효과 및 광간섭등에 의하여 상부 모서리 부분이 유실되어, 측벽면들이 경사진 형태를 갖게된다.

<40> 도 5b를 참조하여, 포토레지스트 패턴(115)을 마스크로 이용하여, 하드 마스크막(110) 및 도전층(110)을 패터닝하여, 워드 라인(120)을 형성한다. 이때, 워드 라인(120)은 측벽면이 경사진 포토레지스트 패턴(115)을 이용하여 패터닝하였으므로, 포토레지스트 패턴(115)의 형태가 워드 라인(120)에 전사된다. 그후, 포토레지스트 패턴(115)을 제거한다. 이때, 본 발명에서의 워드 라인(120)의 길이(X1)는 일반적인 워드 라인의 길이(X2)보다는 소정 길이만큼 길게 형성함이 바람직하다.

<41> 도 5c에 도시된 바와 같이, 워드 라인(120)을 소정 부분을 식각하여, 홀(H)을 형성 한다. 이때, 홀(H)은 라인 형태를 가지며, 라인 형태의 홀(H)의 길이는 워드 라인(120)의 선폭과 동일하여, 워드 라인(120)을 제 1 배선부(120A)와 제 2 배선부(120B)로 절단 한다. 제 1 배선부(120A)는 일반적인 워드 라인 길이(X2)를 가지면서, 실질적인 워드 라인의 역할을 한다. 한편, 제 2 배선부(120B)는 경사진 측벽면을 가지면서, 제 1 배선부(120A)와는 전기적으로 절연된다. 그후, 스페이서용 절연막(125)을 증착한다. 이때, 상기 홀(H)은 스페이서용 절연막(125) 두께의 2배보다는 작은 폭을 가질 수 있고, 이에 따라 스페이서용 절연막(125)의 증착으로 홀(H)

이 충분히 매립된다. 그후, 스페이서용 절연막(125)을 비등방성 블랭킷 식각 방법으로 식각하여, 스페이서(도 4의 126)를 형성한다.

### 【발명의 효과】

<42> 이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, 본 발명의 전극 배선 구조는, 미세한 선폭으로 전극 배선을 형성할 때 그 측벽이 경사지는 것을 감안하여, 전극 배선의 길이를 일정 길이만큼 길게 연장시킨다. 그리고나서, 전극 배선내에 절연 플리그를 설치하여, 실질적인 전극 배선을 한정하고, 측벽을 갖는 가장자리 부분은 더미 패턴으로 작용하도록 한다.

<43> 이에따라, 전극 배선 측벽면의 도전층이 노출되어 습식 케미컬에 의해 유실되더라도, 실질적인 전극 배선의 역할을 하는 부분에는 영향을 미치지 않는다. 따라서, 배선의 라인 디펙트가 방지된다.

<44> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

**【특허청구범위】****【청구항 1】**

반도체 기판; 및

상기 반도체 기판에 형성되는 장축 방향의 단면이 경사진 전극 배선을 포함하며,  
상기 전극 배선은, 실질적으로 전극 배선의 역할을 하는 제 1 배선부와, 제 1 배선  
부와 소정 거리 이격되며 장축 방향의 경사진 단면을 포함하는 제 2 배선부, 및 상기 제  
1 및 제 2 배선부 사이에 개재되며 제 1 및 제 2 배선부를 전기적으로 절연시키는 절연  
플러그를 구비하는 것을 특징으로 하는 반도체 소자의 전극 배선 구조.

**【청구항 2】**

제 1 항에 있어서, 상기 전극 배선은 일반적으로 정하여진 전극 배선 길이보다 일  
정 길이만큼 길게 형성되는 것을 특징으로 하는 반도체 소자의 전극 배선 구조.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서, 상기 절연 플러그는, 상기 제 1 배선부가 일반  
적으로 정하여진 배선 길이를 가질 수 있도록, 상기 전극 배선의 소정 위치에 형성되는  
것을 특징으로 하는 반도체 소자의 전극 배선 구조.

**【청구항 4】**

제 1 항에 있어서, 상기 제 2 배선부는 배선의 피치 사이즈보다는 크고, 일반적으  
로 정하여진 배선 길이보다는 작은 길이를 갖는 것을 특징으로 하는 반도체 소자의 전극  
배선 구조.

**【청구항 5】**

제 1 항에 있어서, 상기 제 1 및 제 2 배선부는 도전층 및 하드 마스크막을 포함하는 것을 특징으로 하는 반도체 소자의 전극 배선 구조.

**【청구항 6】**

제 5 항에 있어서, 상기 도전층은 텅스텐 포함 물질인 것을 특징으로 하는 반도체 소자의 전극 배선 구조.

**【청구항 7】**

제 5 항에 있어서, 상기 하드 마스크막은 실리콘 질화막 또는 실리콘 질산화막인 것을 특징으로 하는 반도체 소자의 전극 배선 구조.

**【청구항 8】**

제 1 항에 있어서, 상기 제 2 배선부의 장축 방향의 단면에는 스페이서가 더 형성되어 있는 것을 특징으로 하는 반도체 소자의 전극 배선 구조.

**【청구항 9】**

제 8 항에 있어서, 상기 절연 플러그는 상기 스페이서 구성 물질로 형성되는 것을 특징으로 하는 반도체 소자의 전극 배선 구조.

**【청구항 10】**

제 1 항에 있어서, 상기 전극 배선은 워드 라인 또는 비트 라인인 것을 특징으로 하는 반도체 소자의 전극 배선 구조.

**【청구항 11】**

제 1 항에 있어서, 상기 절연 플러그의 길이는 상기 전극 배선의 선폭과 동일한 것을 특징으로 하는 반도체 소자의 전극 배선 구조.

**【청구항 12】**

반도체 기판상에 도전층을 증착하는 단계;

상기 도전층 상부에 하드 마스크막을 증착하는 단계;

상기 하드 마스크막 및 도전층을 패터닝하여 전극 배선을 형성하는 단계;

상기 전극 배선의 소정 부분에 상기 전극 배선을 절단하는 라인 형태의 홀을 형성하여, 제 1 배선부 및 제 2 배선부를 한정하는 단계;

상기 라인 홀이 매립되도록 스페이서용 절연막을 증착하는 단계; 및

상기 스페이서용 절연막을 비등방성 블랭킷 식각하여, 스페이서를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 전극 배선 구조의 형성방법.

**【청구항 13】**

제 12 항에 있어서, 상기 도전층은 텅스텐을 포함하는 물질인 것을 특징으로 하는 반도체 소자의 전극 배선 구조의 형성방법.

**【청구항 14】**

제 12 항에 있어서, 상기 하드 마스크막은 실리콘 질화막 또는 실리콘 질산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 전극 배선 구조의 형성방법.

**【청구항 15】**

제 12 항에 있어서, 상기 전극 배선은 일반적으로 정하여진 길이보다 소정 길이만 큼 길게 형성하는 것을 특징으로 하는 반도체 소자의 전극 배선 구조의 형성방법.

**【청구항 16】**

제 12 항에 있어서, 상기 홀은 상기 제 1 배선부가 일반적으로 정하여진 배선 길이를 가질 수 있도록 상기 전극 배선의 소정 위치에 형성되는 것을 특징으로 하는 반도체 소자의 전극 배선 구조의 형성방법.

**【청구항 17】**

제 16 항에 있어서, 상기 홀의 폭은 상기 스페이서용 절연막 두께의 2배 보다는 작은 것을 특징으로 하는 반도체 소자의 전극 배선 구조의 형성방법.

**【청구항 18】**

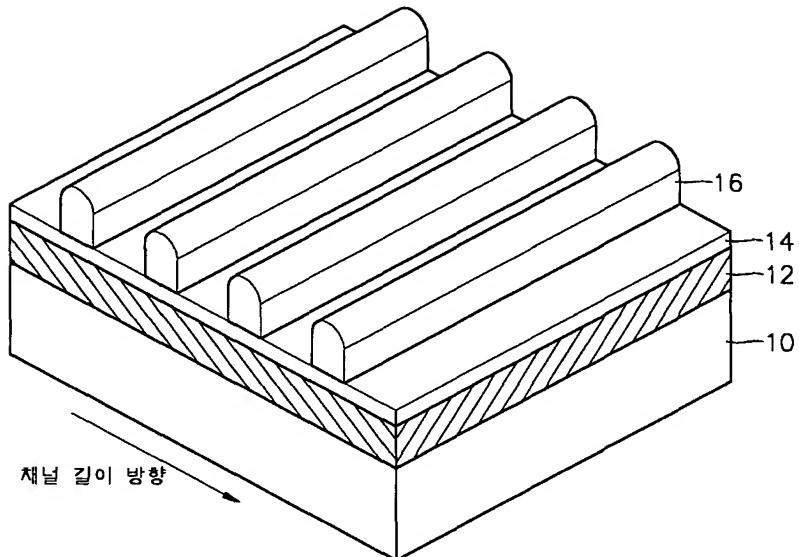
제 11 항에 있어서, 상기 제 2 배선부는 배선의 피치 사이즈보다는 크고, 일반적으로 정하여진 배선 길이보다는 작은 길이를 갖는 것을 특징으로 하는 반도체 소자의 전극 배선 구조의 형성방법.

**【청구항 19】**

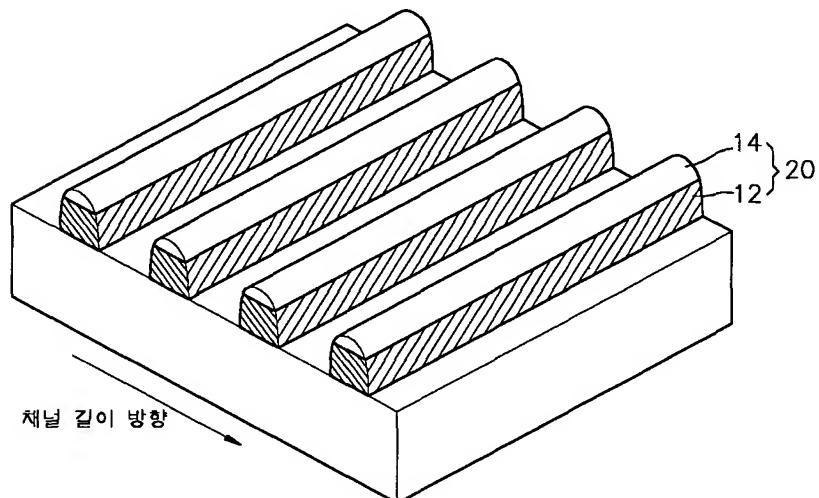
제 12 항에 있어서, 상기 전극 배선은 워드 라인 또는 비트 라인인 것을 특징으로 하는 반도체 소자의 전극 배선 구조의 형성방법.

## 【도면】

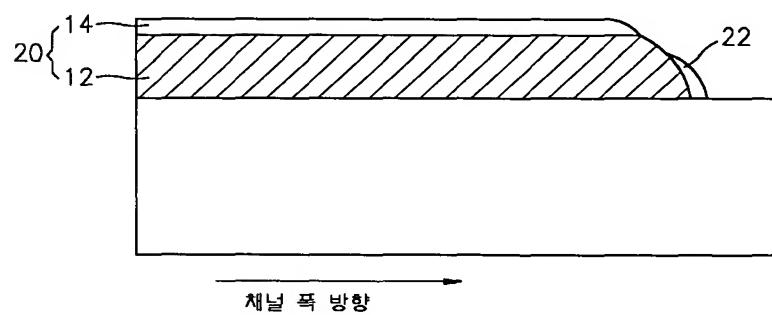
【도 1a】



【도 1b】



【도 1c】



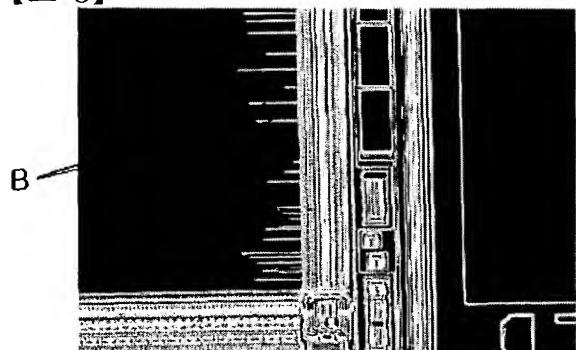
1020020057462

출력 일자: 2002/12/20

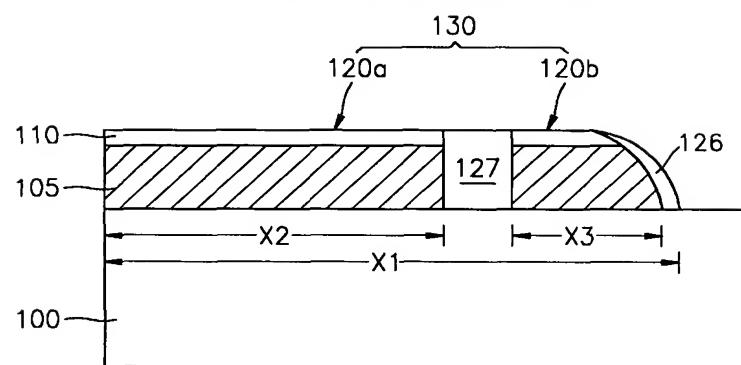
【도 2】



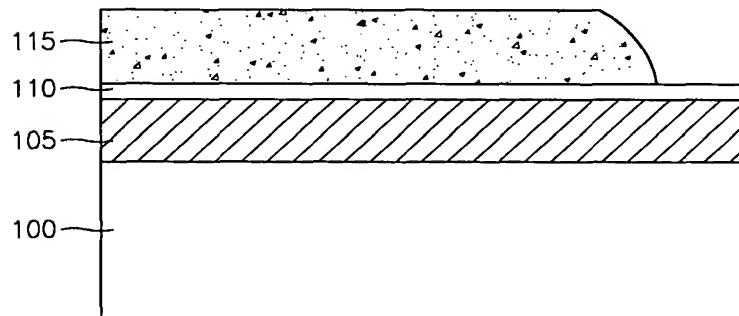
【도 3】



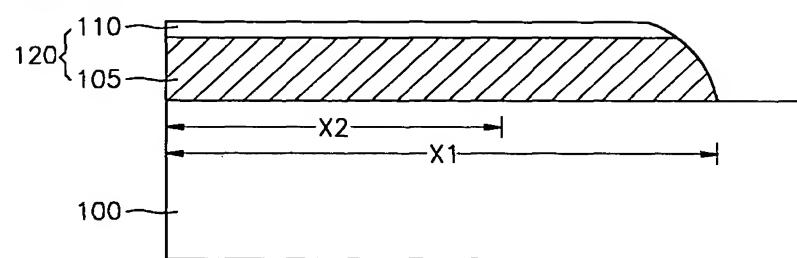
【도 4】



【도 5a】



【도 5b】



【도 5c】

